Національний технічний університет України

«Київський політехнічний інститут імені Ігоря Сікорського»

Факультет інформатики та обчислювальної техніки

Кафедра обчислювальної техніки

Комп'ютерна арифметика

Лабораторна робота №2

«ПРОЕКТУВАННЯ ТА ДОСЛІДЖЕННЯ ПРИСТРОЇВ

ДЛЯ МНОЖЕННЯ ЧИСЕЛ»

Виконав:

студент групи ІО-62

Бурбіль М.А.

Залікова книжка №6203

Перевірив Верба О.А.

Київ

2017 р.

**Лабораторна робота №2**

|  |  |
| --- | --- |
| *Ціль роботи* – | вивчити методи реалізації операції множення чисел в прямих кодах, одержати навики в дослідженні операційних пристроїв. |
|  |  |

***Теоретичні відомості***

*Перший спосіб множення*

Вираз (2.1) можна представити у вигляді

 .

Звідси випливає, що отримані суми часткових добутків в *i*-му циклі (*i*= ) зводиться до обчислення



з початковими значеннями *i*=1, *Z*0=0, причому *Zn=Z=YX.*

Множення здійснюється з молодших розрядів множника, сума часткових добутків зсувається вправо, а множене залишається нерухомим.

*Другий спосіб множення.*

Запишемо (2.1) у вигляді

Очевидно, що процес множення може бути зведений до n-кратного виконання циклу



з початковими значеннями *i*=1, *Y*0*=Y*2*-n* , *Z0*=0. Множення здійснюється з молодших розрядів, множене зсувається вліво, а сума часткових добутків залишається нерухомою.

*Третій спосіб множення.*

Представимо (10.1) у виді



Отже, суму часткових добутків у i-м циклі (i= ) можна одержати по формулі



Початковими значеннями є i=1, Z0=0. Множення здійснюється зі старших розрядів множника, сума часткових добутків зсувається вліво, а множене нерухоме.

*Четвертий спосіб множення.*



Процес множення може бути зведений до *n*-кратного виконання циклу



с початковими значеннями *i*=1, *Y*0=*Y*2-1, *Z*0=0.

Принцип побудови пристроїв, що реалізують різні способи множення, показаний на рис. 2.1, де *RG*3 – регістр множеного, *RG*1 – регістр добутку, *RG*2 – регістр множника. Цифрами зазначені номери розрядів *SM* і регістрів, а стрілками показаний напрямок зсуву кодів у регістрах.



*а б*



*в г*

Рис. 2.1. Операційні схеми пристроїв для множення чисел: *а* – перший спосіб; *б* – другий спосіб; *в* – третій спосіб; *г* – четвертий спосіб

*Етапи побудови операційних пристроїв для множення чисел.*

1. Вивчити алгоритм множення чисел заданим методом.

2. Побудувати операційну схему пристрою.

3. Розробити змістовний (функціональний) мікроалгоритм з використанням операторів присвоєння та зсуву.

4. Виконати логічне моделювання роботи пристрою за допомогою таблиці станів вузлів (регістрів, лічильника) у кожному такті. Перевірити правильність вибору розрядності вузлів на операційній схемі.

5. Побудувати функціональну схему з відображенням управляючих сигналів для всіх вузлів.

6. Розробити структурний мікроалгоритм, в якому змістовні мікрооперації замінюються на сукупність управляючих сигналів, що забезпечують виконання мікрооперацій.

7. Побудувати і відлагодити схему в системі ПРОГМОЛС-2 (AFDK).

***Виконання роботи***

1. Варіант завдання визначається молодшими двійковими розрядами  десяткового номера залікової книжки студента відповідно табл.1.

a6 = 1, a5 = 1, a4 = 1, a3 = 0, a2 = 1, a1 = 1.

Табл. 2.2. Таблиця варіантів

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| ***a3*** | ***a*2** | ***a*1** | **Спосіб множення, розрядність операндів** | **Значення додатних операндів** | | | **Повна**  **операція** |
| ***X*** | ***Y*** | ***G*** |
| 0 | 0 | 0 | 1-й, 7 | ,1101 | ,1001101 | - | *F=XY* |
| 0 | 0 | 1 | 2-й, 5 | ,10 | ,10011 | - | *F=XY* |
| 0 | 1 | 0 | 3-й, 7 | ,1001 | ,0100111 | ,1101011 | *F=XY*+*G* |
| 0 | 1 | 1 | 4-й, 6 | ,101 | ,110011 | - | *F=XY* |
| 1 | 0 | 0 | 1-й, 6 | ,110 | ,101111 | - | *F=XY* |
| 1 | 0 | 1 | 2-й, 6 | ,101 | ,111010 | - | *F=XY* |
| 1 | 1 | 0 | 3-й, 6 | ,101 | ,101111 | ,100101 | *F=XY*+*G* |
| 1 | 1 | 1 | 4-й, 5 | ,10 | ,11001 | - | *F=XY* |

Отже, отримуємо: спосіб множення 4, розрядність 6, X = 111101, Y = 110011, F = XY.

1. Операційна схема

Побудова операційної схеми для множення 4-тим способом.

C:\Users\Ybrbn\AppData\Local\Microsoft\Windows\INetCache\Content.Word\rarar.png

Рис. 3.1 – операційна схема множення 4

Способом

1. Будуємо змістовний (функціональний) мікроалгоритм(рис 3.2).

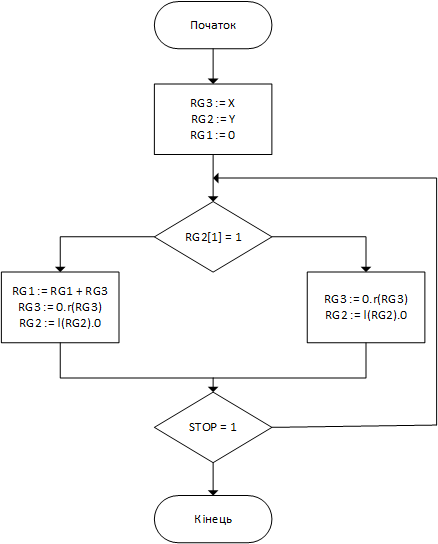


Рис. 3.2 – функціональний мікроалгоритм множення

1. Побудуємо таблицю станів регістрів та лічильника при множенні.

Табл. 3.1 Стани регістрів і лічильника при множенні

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **№**  **циклу** | ***RG*1** | ***RG*2** | ***RG*3** | ***STOP*** | **Мікрооперації** |
| 0 | 000000000000 | **1**10011 | 000000111101 | 0 | *RG*1:=0; *RG*2:=*Y*; *RG*3:=*X*; *STOP:=n* |
| 1 | +000000111101  000000111101 | **011001** | 000001111010 | 0 | *RG*1:=*RG*1+*RG*3;  *RG*2:=*l*(*RG*2).0; *RG*3:=0.*r*(*RG*3) |
| 2 | +000001111010  000010110111 | 001100 | 000011110100 | 0 | *RG*1:=*RG*1+*RG*3;  *RG*2:=*l*(*RG*2).0; *RG*3:=0.*r*(*RG*3). |
| 3 |  | 000110 | 000111101000 | 0 | *RG*2:=*l*(*RG*2).0; *RG*3:=0.*r*(*RG*3). |
| 4 |  | 000011 | 001111010000 | 0 | *RG*2:=*l*(*RG*2).0; *RG*3:=0.*r*(*RG*3). |
| 5 | +001111010000  010010000111 | 000001 | 011110100000 | 0 | *RG*1:=*RG*1+*RG*3;  *RG*2:=*l*(*RG*2).0; *RG*3:=0.*r*(*RG*3). |
| 6 | +011110100000  **110000100111** | 000000 | 111101000000 | 1 | *RG*1:=*RG*1+*RG*3;  *RG*2:=*l*(*RG*2).0; *RG*3:=0.*r*(*RG*3). |
|  |  |  |  |  |  |

1. C:\Users\Ybrbn\AppData\Local\Microsoft\Windows\INetCache\Content.Word\functionalcxeme.pngПобудуємо функціональну схему множення 4 способом.

Рис. 3.3 - функціональна схема множення

1. Побудова структурного мікроалгоритму для 4 способа

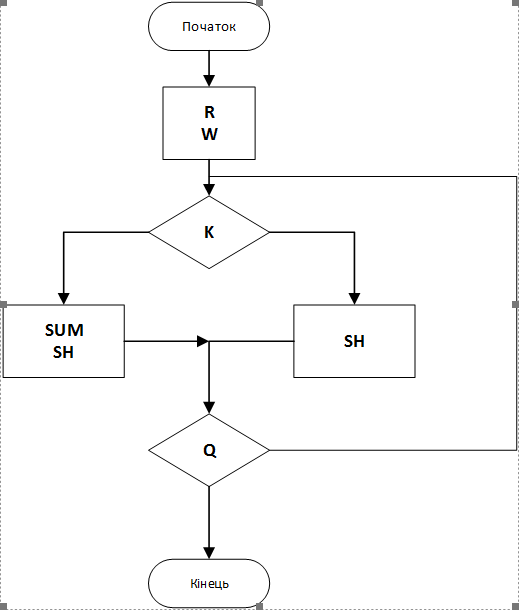


Рис. 3.4 – структурний мікроалгоритм

1. Схема, побудована в AFDK для 4 способа множення.

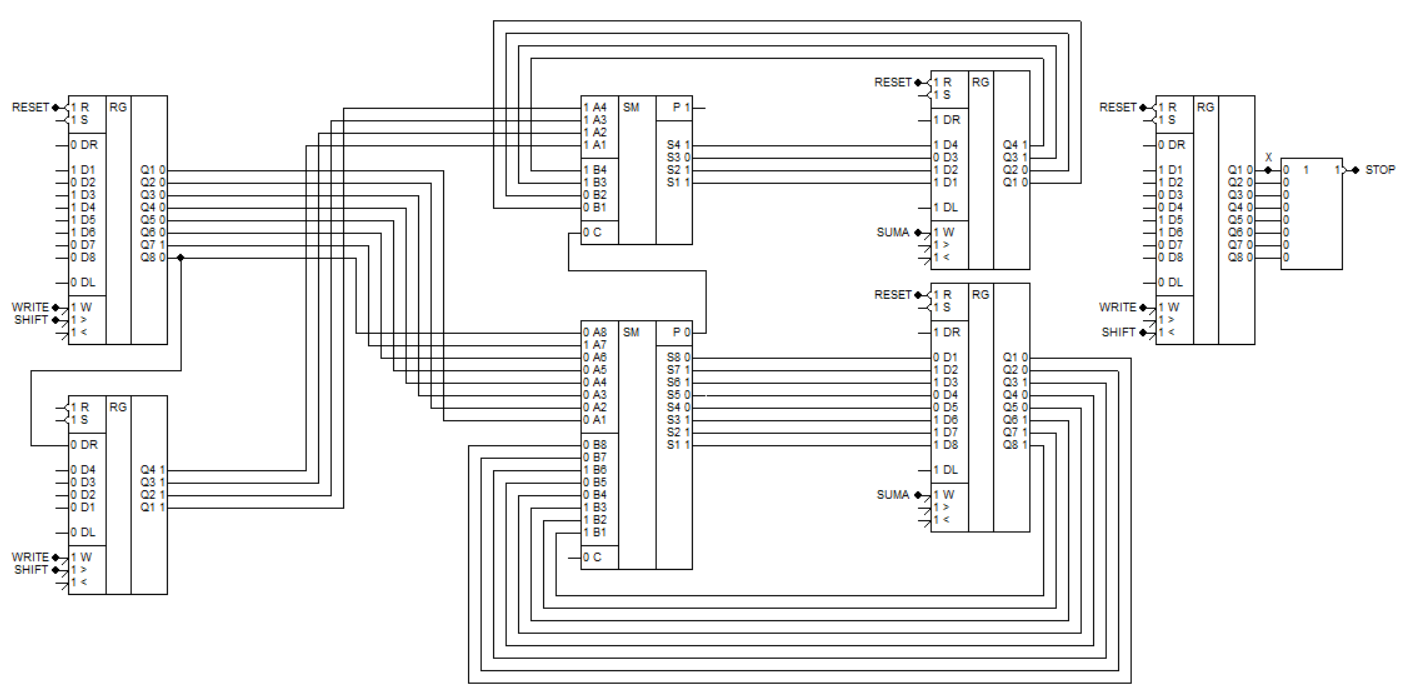


Рис. 3.5 – схема в системі AFDK

**Висновок:** під час виконання лабораторної роботи я навчився проектувати пристрої для множення чисел. Складнощі виникли при побудові схем, але всі питання були вирішені шляхом пошуку нової інформації.